

1.3 Data bus

Data bus

Il data bus consente il trasferimento di informazioni in quattro possibili direzioni:

- *Da una cella di memoria alla CPU (**lettura**)*: questa azione viene svolta dalla CPU quando deve ottenere il codice operativo di una istruzione da eseguire (fetch) oppure quando il programma chiede la estrazione di un dato da una variabile.
- *Dalla CPU ad una cella di memoria (**scrittura**)*: questa azione viene svolta dalla CPU quando il programma chiede l'inserimento di un dato in una variabile.
- *Da una porta di ingresso alla CPU (**acquisizione** o lettura di una porta)*: questa azione viene svolta dalla CPU quando il programma chiede il campionamento dello stato di una grandezza fisica esterna al sistema (posizione del mouse, pressione di un tasto ...)
- *Dalla CPU ad una porta di uscita (**emissione** o scrittura di una porta)*: questa azione viene svolta dalla CPU quando il programma chiede la modifica dello stato di una grandezza fisica esterna al sistema (accensione/spegnimento di un led, carattere sul monitor ...)

Alcune considerazioni che emergono da questa lista di possibili azioni:

- Tutte le azioni coinvolgono da un lato CPU e dall'altro un solo elemento (cella o porta) dei sistemi periferici (memoria o I/O) quindi non esistono trasferimenti diretti tra memoria ed I/O salvo in presenza di DMA.
- Dei due elementi coinvolti in un trasferimento (CPU e memoria o I/O) uno impone il dato sul data bus facendo assumere temporaneamente ai segnali di data bus i valori delle sue uscite mentre l'altro campiona il dato copiando i segnali di data bus attraverso i suoi ingressi.
- Tutti gli altri elementi periferici (altre celle di memoria e altre porte I/O) pur essendo elettricamente collegati al bus devono mantenersi funzionalmente scollegati, cioè non imporre le loro uscite sul bus né campionare il bus con i loro ingressi. Questa condizione viene realizzata con la tecnica dei buffer tri-state.
- La presenza di un dato sul data bus è solo temporanea. I dati si avvicendano, uno dopo l'altro, in funzione delle azioni svolte dalla CPU. Inoltre la direzione dei dati sul data bus può cambiare perché un elemento può in momenti diversi comportarsi da ingresso o da uscita nei confronti del data bus (ad esempio un cella di memoria è uscita durante una lettura ed ingresso durante la scrittura). Per questo motivo si dice che:

IL DATABUS E' BIDIREZIONALE

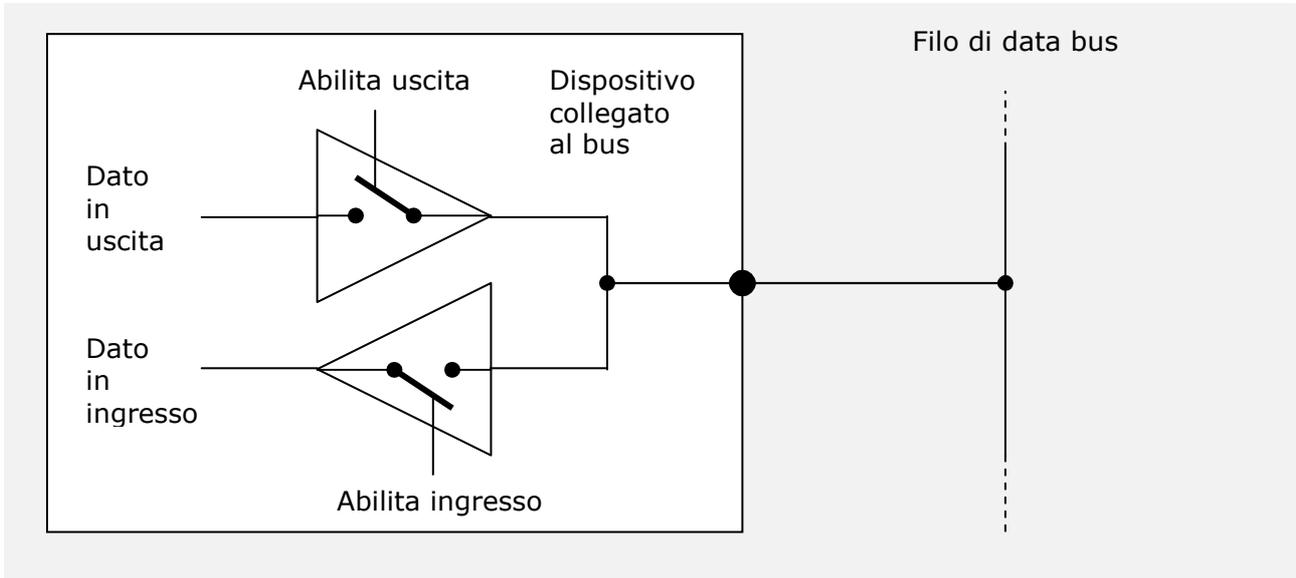
Anche il meccanismo di inversione della direzione è gestito dai buffer tri-state.

- **ATTENZIONE**: il punto di vista con cui determinano le direzioni nelle operazioni di bus è sempre ponendosi dalla parte della CPU quindi nelle letture la CPU si comporta come ingresso e le periferiche come uscite mentre nelle scritture avviene il contrario.

Bidirezionalità del data bus

Tutti i dispositivi che si collegano al data bus devono essere in grado di rimanere funzionalmente disconnessi e di invertire la direzione del flusso dei dati.

Per realizzare questa prestazione il pin di collegamento al data bus è internamente collegato a due buffer tri-state collegati in opposizione.



In questo modo quando entrambe le abilitazioni dei due buffer sono "non attive" il dispositivo è funzionalmente scollegato dal bus. Questa è la situazione normale in cui si trovano per la maggior parte del tempo tutti i dispositivi. Se tutti i dispositivi si trovano in questa condizione sul filo del data bus non è presente alcun segnale, in questo caso si dice che il bus è flottante (floating bus).

Se un dispositivo riceve l'"abilita uscita" il dato che esso contiene viene copiato all'esterno imponendo il segnale corrispondente a questo dato sul data bus. Un solo dispositivo alla volta può trovarsi in questa situazione. Se più di un dispositivo impone i suoi dati sul data bus si crea un conflitto di bus (due uscite collegate insieme con valori che possono essere diversi e quindi risultato imprevedibile)

Se un dispositivo riceve l'"abilita entrata" il dato che si trova sul data bus viene copiato all'interno del dispositivo. Anche in questo caso un solo dispositivo alla volta può trovarsi in questa situazione, questa volta non per un problema di bus ma perché non ha alcun significato che due dispositivi copino contemporaneamente lo stesso dato.

Non è lecito che sia contemporaneamente attive entrambe le abilitazioni.

Ho usato i termini "abilita ingresso" e "abilita uscita" invece che "lettura" e "scrittura" per evitare ambiguità. Infatti questo schema descrive sia il circuito di interfaccia della CPU che quello di memorie ed I/O ma nell'ambito di ciascun tipo di operazione la direzione del flusso di dati è invertita a seconda che ci si trovi al centro o alla periferia.

Ad esempio in una fase di "lettura" la memoria riceve l'abilitazione per l'uscita ed impone il suo dato interno sul data bus mentre la CPU riceve l'abilitazione per l'ingresso e copia il dato che è sul data bus al suo interno (confronta con l'**ATTENZIONE** della pagina precedente).

Ampiezza di parola del data bus

L'ampiezza di parola del data bus è determinata dal numero di bit che la CPU è in grado di trasferire dal/al data bus in una singola operazione.

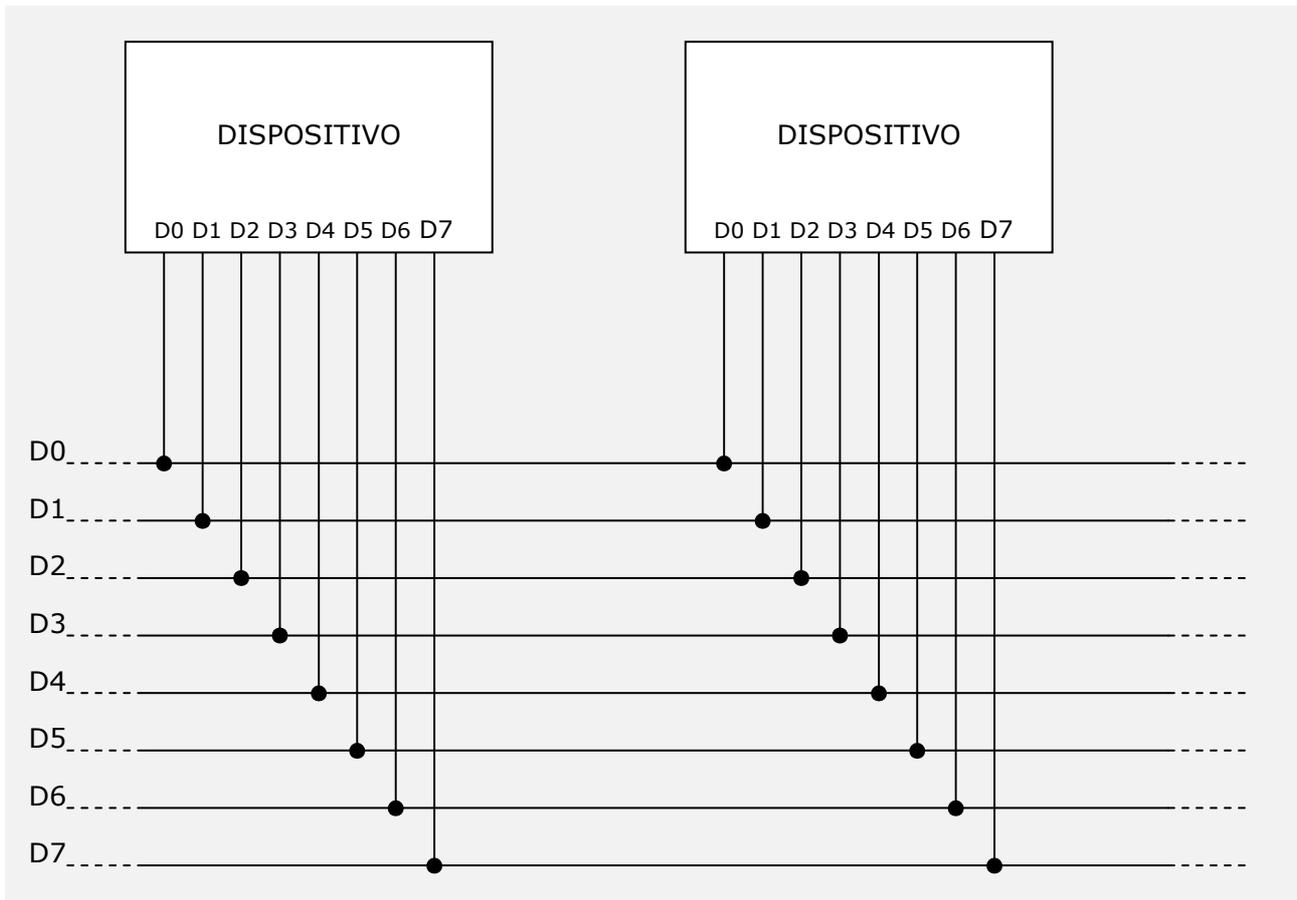
Maggiore è l'ampiezza del data bus e maggiore è il parallelismo e quindi la rapidità con cui si svolgono le operazioni.

Questa ampiezza non impedisce però le operazioni su dati di dimensioni più grandi di questa ampiezza ma le rende solamente più lente perché la CPU deve spezzare il dato durante il trasferimento eseguendo più azioni in sequenza.

Valori tipici di ampiezza di parola sono 8, 16, 32, 64 bit.

I valori di ampiezza di parola sono cresciuti nel tempo e le MPU attuali (famiglia Pentium e compatibili) hanno in genere una ampiezza di parola di 64 bit, cioè leggono/scrivono 8 BYTES in una singola operazione di bus. Le ampiezze minori non sono tuttavia scomparse e si trovano nelle MCU in cui non è tanto importante la potenza elaborativa quanto le capacità di I/O che non sono particolarmente influenzate da grandi ampiezze di parola.

Per chiarire meglio la struttura del data bus nel disegno che segue la larga freccia che nello schema precedente rappresentava il data bus nel suo complesso viene scomposta nei suoi singoli segnali nell'ipotesi di una ampiezza di parola di 8 bit.



In questo esempio il data bus è formato da 8 fili, ciascuno identificato dalla lettera D seguita da un numero che corrisponde al peso della cifra binaria che rappresenta ($D0 \rightarrow 2^0$, $D1 \rightarrow 2^1$, ... $D7 \rightarrow 2^7$).

Ogni dispositivo che si affaccia sul bus deve avere otto piedini di ingresso/uscita collegati con i rispettivi fili del bus.